

11.2.3 Contatori veloci

A determinare la velocità di un contatore, cioè il minimo periodo di clock ammissibile per un corretto funzionamento, è il ritardo della logica combinatoria necessaria per la funzione di stato prossimo δ . Ogni funzione combinatoria, come ampiamente studiato nel Capitolo 4, può essere realizzata in forma SoP o PoS ovvero come rete su due livelli (tranne le forme degeneri). Il ritardo minimo di una generica rete combinatoria è pertanto pari al doppio del ritardo di una porta logica¹. Per progettare contatori più veloci del limite imposto dal ritardo delle porte logiche è necessario ricorrere ad architetture alternative.

Analizzando la tabella della verità di un contatore binario naturale si nota che il valore dei singoli bit dello stato prossimo mostra le seguenti proprietà:

- il valore del bit meno significativo q_0 commuta a ogni ciclo di clock;
- il valore di un generico bit q_i commuta ogniqualvolta tutti i bit meno significativi da q_{i-1} a q_0 assumono valore 1.

Ricordando che un flip-flop di tipo T produce una commutazione dello stato quando il segnale di controllo T vale 1, è possibile realizzare il contatore fissando l'ingresso di controllo del flip-flop che genera il bit meno significativo q_0 al valore logico 1 (cioè $T_0 = 1$) e l'ingresso di controllo del flip-flop relativo generico bit q_i al valore del prodotto logico di tutti i bit meno significativi (cioè $T_i = q_{i-1} \cdot q_{i-2} \cdot \dots \cdot q_0$).

Secondo questa architettura, tra due flip-flop è sempre presente una e una sola porta AND dimezzando approssimativamente il ritardo rispetto al contatore presentato nel paragrafo precedente. Un'analisi più attenta, tuttavia, evidenzia che il numero di ingressi di tale porta AND cresce al crescere del numero di bit del contatore e questo fatto ha due conseguenze principali: in primo luogo il ritardo di una porta logica non è costante al crescere del numero dei suoi ingressi e, in secondo luogo, raramente si può disporre di porte con un numero elevato di

¹Si tenga presente che nella pratica il ritardo di una porta logica cresce all'aumentare del numero di ingressi.

ingressi. Per quest'ultima ragione si ricorre spesso a una struttura alternativa organizzata su più livelli di logica. Considerando infatti i segnali di controllo di due flip-flop adiacenti $T_{i+1} = q_i \cdot q_{i-1} \cdot \dots \cdot q_0$ e $T_i = q_{i-1} \cdot q_{i-2} \cdot \dots \cdot q_0$ si nota che $T_{i+1} = q_i \cdot T_i$. Quest'ultima soluzione è mostrata in Figura 11.16.

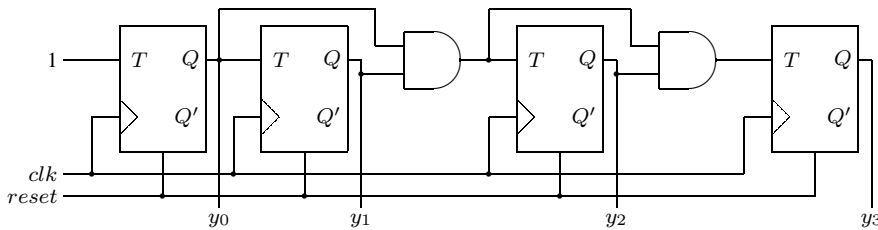


Figura 11.16 Contatore veloce realizzato mediante flip-flop T

È peraltro evidente che questa architettura presenta un ritardo della parte combinatoria che cresce al crescere del numero di bit del contatore, limitando quindi il vantaggio indicato all'inizio del paragrafo. Un semplice accorgimento, tuttavia, permette di mantenere il ritardo combinatorio costante e uguale a quello di una sola porta logica, indipendentemente dalla dimensione del contatore. A tale scopo è sufficiente *anticipare* il calcolo del segnale di controllo T_i di un ciclo di clock e registrare tale segnale mediante un flip-flop di tipo D. L'anticipo del calcolo del segnale di controllo si ottiene rilevando non più la combinazione 1...11 dei bit meno significativi bensì la combinazione precedente nel ciclo di conteggio, cioè 1...10.

Si noti infine che, procedendo in modo analogo a quanto descritto, è possibile realizzare un tale contatore unicamente mediante flip-flop di tipo D. I segnali di controllo devono essere, in questo caso, $D_0 = Q_0 \oplus 1$, $D_1 = Q_1 \oplus Q_0$, $D_2 = Q_2 \oplus (Q_1 \cdot Q_0)$, ... e, in generale, $D_i = Q_i \oplus (Q_{i-1} \cdot Q_{i-2} \cdot \dots \cdot Q_0)$ nell'architettura su due livelli, e $D_0 = Q_0 \oplus 1$, $D_1 = Q_1 \oplus P_0$, e in generale $D_i = Q_i \oplus P_{i-1}$ con $P_0 = Q_0$, $P_1 = Q_1 \cdot P_0$, ..., $P_i = Q_i \cdot P_{i-1}$ per l'architettura su più livelli.

Si consideri ora un ciclo di conteggio in codice one-hot. Il passaggio da uno stato allo stato successivo implica semplicemente lo scorrimento dell'unico bit a 1 di una posizione. Per ottenere un comportamento periodico è sufficiente riportare nella posizione meno significativa il bit che in seguito allo scorrimento andrebbe perduto. Una tale struttura altro non è che un registro a scorrimento circolare opportunamente inizializzato con la configurazione 0...01. La Figura 11.17 mostra l'architettura completa di un contatore one-hot a 4 bit. Il principale limite di questo tipo di architetture sta nel fatto che un contatore modulo m richiede m flip-flop. Questo rende molto critica dal punto di vista dell'occupazione di area

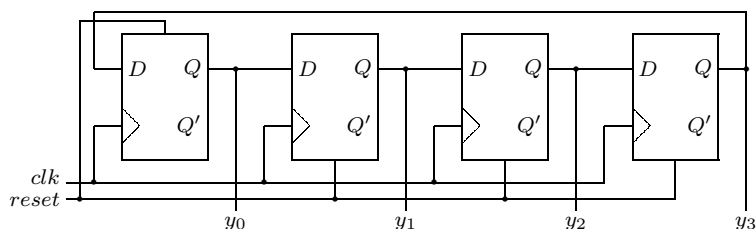


Figura 11.17 Contatore one-hot a 4 bit

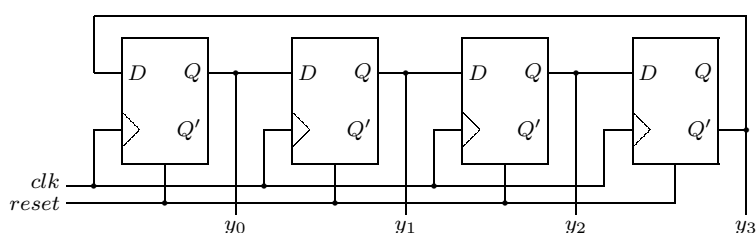


Figura 11.18 Contatore Johnson a 4 bit

la realizzazione di contatori con modulo elevato. D'altro canto è facile constatare che la frequenza massima di funzionamento non è influenzata dal modulo, il che rende questo tipo di soluzione facilmente scalabile.

Un miglioramento interessante e particolarmente semplice dal punto di vista realizzativo consiste nel connettere in retroazione non l'uscita Q del flip-flop più a destra bensì l'uscita Q' . In questo modo si ottiene un contatore con modulo doppio rispetto a un contatore one-hot, a parità del numero di flip-flop utilizzati. Questa architettura, conosciuta con il nome di contatore di Johnson o di Möbius, è mostrata in Figura 11.18. Si noti che in questo caso il segnale di reset del contatore porta tutti i flip-flop al valore 0 e che il ciclo di conteggio che si ottiene non è né binario naturale né one-hot, bensì il seguente (su 4 bit):

0000, 0001, 0011, 0111, 1111, 1110, 1100, 1000

Questo tipo di registro è un caso particolare di una classe molto ampia e utilizzata di strutture basate su registri circolari e sull'uso di porte XOR nell'anello di retroazione: i *linear feedback shift register* o LFSR. Quando tali registri non sono dotati di un ingresso dati (tipicamente connesso in ingresso al bistabile più a sinistra) prendono il nome di *autonomous LFSR* o ALFSR [Golomb, 1982] [Bauer, 2000]. Lo studio di queste architetture si basa su una modellizzazione matematica rigorosa che fa ricorso ai concetti di somma, moltiplicazione e divisione di polinomi nei campi di Galois [Galois, 1897] [Lang, 1993] [Dickson, 1997].